

# HLee4\_Job\_1\_of\_1

Printed by HPS Server

for

## EAST

---

Printer: cp4\_3c03\_gbfhptr

Date: 04/14/03

Time: 15:21:25

### Document Listing

| Document     | Selected Pages | Page Range | Copies |
|--------------|----------------|------------|--------|
| JP402219274A | 6              | 1 - 6      | 1      |
| Total (1)    | 6              | -          | -      |

✓

## ⑯ 公開特許公報 (A) 平2-219274

⑯ Int. Cl. 5

H 01 L 29/784  
21/336

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)8月31日

8624-5F H 01 L 29/78  
8624-5F311 S  
P

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 平1-40596

⑯ 出 願 平1(1989)2月20日

⑰ 発明者 深田 武 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑰ 発明者 篠原 久人 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑰ 出願人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 素田

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

- 絶縁性表面を有する基板上のN又はP型の導電型を有する低抵抗の非単結晶半導体層は、レーザー光によって巾 $10\mu m$ 以下の間隔を持って切断されて、ソース領域とドレイン領域を構成しており、前記低抵抗の非単結晶半導体層上に、高抵抗の非単結晶半導体層、ゲート絶縁膜及びゲート電極を有していることを特徴とするスタガード型の薄膜トランジスタ。
- 特許請求の範囲第1項記載の薄膜トランジスタにおいて、前記NまたはP型の導電型を有する低抵抗の非単結晶半導体層下には金属層が形成されており、前記金属層も前記非単結晶半導体層と同様にレーザ光により巾 $10\mu m$ 以下の間隔を以て切断されていることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

## 『産業上の利用分野』

本発明は非単結晶半導体薄膜を用いた薄膜トランジスタ(以下にTFTともいう)及びその製造方法に関するものであり、特に液晶ディスプレー、イメージセンサー等に適用可能な高速応答性を持つ薄膜トランジスタに関する。

## 『従来の技術』

最近、化学的気相法等によって、作製された非単結晶半導体薄膜を利用した薄膜トランジスタが注目されている。

この薄膜トランジスタは、絶縁性基板上に前述の如く化学的気相法等を用いて形成されるので、その作製雰囲気温度が最高で $450^{\circ}C$ 程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いることができる。

この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成でき、さらにその作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大

面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の画素を持つマトリクス構造の液晶ディスプレーのスイッチング素子や一次元又は二次元のイメージセンサ等のスイッチング素子として極めて有望である。

また、この薄膜トランジスタを作製するにはすでに確立された技術であるフォトリソグラフィーが応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。

この従来より知られたTFTの代表的な構造を第2図に概略的に示す。

図はガラスよりなる絶縁性基板であり、(21)は非単結晶半導体よりなる薄膜半導体、(22), (23)はソースドレイン領域で、(24), (25)はソースドレイン電極、(26)はゲート絶縁膜で(27)はゲート電極であります。

このように構成された薄膜トランジスタはゲート電極(27)に電圧を加えることにより、ソースドレイン(22), (23)間に流れる電流を調整するものであります。

この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S = \mu \cdot V / L^2$$

ここでしはチャネル長、 $\mu$ はキャリアの移動度、Vはゲート電圧。

この薄膜トランジスタに用いられる非単結晶半導体層は半導体層中に多量の結晶粒界等を含んでおり、これらが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく上式より判るようにトランジスタの応答速度が非常に遅いという問題が発生していた。特にアモルファスシリコン半導体を用いた時その移動度はだいたい $0.1 \sim 1$  ( $\text{cm}^2 / \text{V} \cdot \text{Sec}$ ) 程度で、ほとんどTFTとして動作しない程度のものであった。

このような問題を解決するには上式より明らかにチャネル長を短くすることと、キャリア移動度を大きくすることが知られ、種々の改良が行われている。

特にチャネル長を短くすると、その2乗で応答速度に影響するので非常に有効な手段である。

- 3 -

- 4 -

しかしながらTFTの特徴である大面積基板上に素子を形成する場合、フォトリソグラフィー技術を用いて、ソースドレイン間の間隔（だいたいのチャネル長に対応する）を $10 \mu\text{m}$ 以下にすることは、その加工精度、歩留まり、生産コスト等の面から明らかに困難であり、TFTのチャネル長を短くする手段として、フォトリソグラフィー技術を使用しない手段が求められている。

その一つの答えとして、第3図に示すように縦チャネル構造のTFTが提案されている。これは基板上にソース(30)活性領域(31)ドレイン(32)よりなる非単結晶半導体層を積層したのち、ゲート絶縁膜(33)を形成しその上にゲート電極(34)を有するものである。

この構造の場合、そのチャネル長はほぼ活性領域(31)の厚みに対応し、活性領域の厚みを調節することにより容易にチャネル長を可変できるものであった。

しかしながら、この構造のTFTは非単結晶半導体層を複数層積層するので、ソースドレイン間の

電流が流れる方向に多数の界面を有していることになり、良好なTFT特性が得られない。また、電流の流れる方向の断面積が大きいのでオフ電流が増大するという問題発生し、縦型TFTは本質的な問題解決とはなっていない。

#### 『発明の目的』

本発明は前述の如き問題を解決するものであり、従来より知られたTFTに比べて、高速で動作するTFTを複雑な工程がなく、再現性よく作製できるTFTを提供することをその目的とするものであります。

#### 『発明の構成』

本発明はスタガード型の薄膜トランジスタの構造であって、低抵抗の非単結晶半導体層又は低抵抗の非単結晶半導体層と金属よりなるソースドレイン領域を構成する部分に対し、集光されたレーザ光を照射して、前記非単結晶半導体又は非単結晶半導体と金属を切断していることを特徴とするものであります。

すなわち、この切断された部分に対応する巾が

- 5 -

- 6 -

ほぼこの薄膜トランジスタのチャネル長に対応し、レーザ光の加工巾とほぼ同じ短チャネルの薄膜トランジスタを再現性よく複雑な工程を経ることなく、作製できる構造であります。

以下に実施例により本発明を詳しく説明する。

#### 「実施例 1」

この実施例 1 に対応する薄膜トランジスタの概略的な作製工程を第 1 図に示す。

まず、ガラス基板(1)としてソーダガラスを用い、このソーダガラス(1)上に公知のプラズマ CVD 法により低抵抗非単結晶半導体として N 型の導電型を有する非単結晶珪素膜(2)を形成する。この時の作製条件は以下のとおりであった。

|                   |                                    |
|-------------------|------------------------------------|
| 基板温度              | 250 °C                             |
| 反応圧力              | 0.05 Torr                          |
| RF パワー (13.56MHz) | 150 W                              |
| 使用ガス              | SiH <sub>4</sub> + PH <sub>3</sub> |
| 膜厚                | 2000 Å                             |

この N 型の非単結晶珪素膜(2)は、その形成時に H<sub>2</sub> ガスを多量に導入し RF パワーを高くして、微

結晶化させて電気抵抗を下げたものを使用してもよい。

次に公知のフォトリソグラフィー技術を用いて、この非単結晶珪素膜(2)をソースドレイン領域及びその取り出し電極の所定の外形パターンにマスキングを行い CF<sub>4</sub> ガスを用いてドライエッチングを行い、第 1 図(a) の状態を得た。

次にこの非単結晶珪素膜(2)に対し、被照射面上で巾 2 μm 長さ 10 μm の長方形の照射断面となるように光学系によって集光された波長 248.7 nm のエキシマレーザ光を照射し、被珪素膜(2)をソース領域(3)とドレイン領域(4)に切断し、第 1 図(b) の状態を得た。

この時のレーザ光の照射条件はパワー密度 1J/cm<sup>2</sup>、パルス巾 15 μSec である。このレーザ光を本実施例の場合、3 パルス照射して非単結晶珪素膜(2)を切断した。この照射回数及びレーザの条件は被加工物によって異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

- 7 -

- 8 -

また本実施例はスクガード型の薄膜トランジスタであるので非単結晶珪素膜(2)の下はガラス基板(1)であるので、本実施例より大出力のレーザ光を照射してもガラス基板(1)に傷がつくだけであり、TFT の特性には何ら関係がなく、切断ができる程度以上の出力のレーザ光を照射すればよいので、工程上の自由度が増す構造である。

次にソース領域(3)、ドレイン領域(4)及び切断部(5)上に前述と同様のプラズマ CVD 法にて高抵抗半導体層として I 型の非単結晶珪素膜(6)を形成する作製条件は N 型の非単結晶珪素膜(2)の時とほぼ同じであるが、使用ガスが SiH<sub>4</sub> のみで膜厚は 6000 Å とした。次にこの I 型の非単結晶珪素膜(6)の表面上にプラズマ CVD 法で窒化珪素膜(7)を 100 Å 形成し、ゲイト絶縁膜とした。

これらを所定のパターンにパターニング後、公知のスパッタリング法にて、モリブデン膜を蒸着しゲイト電極(8)を形成し、第 1 図(c)に示す薄膜トランジスタを完成させた。

このようにして、ソースドレイン間を従来の如

くエッチングして加工しないで 10 μm 以下、本実施例の場合、約 2.4 μm のソースドレイン間隔を容易に形成することができ、短いチャネル長の TFT を再現性よく作製することができた。

#### 「実施例 2」

第 4 図に本実施例の作製方法の概略図を示す。

まず、ソーダガラス基板(1)上に公知のスパッタリング法によりモリブデン膜を約 3000 Å の厚さで形成し、その上に実施例 1 と同様に N 型の導電型を有する非単結晶珪素膜(2)を形成する。この場合実施例 1 とは異なり膜厚は 200 Å とし後工程で作製する I 型半導体とのオーミックコンタクトをとる目的だけとした。

次に公知のフォトリソグラフィー技術を用いて、このモリブデン膜及び低抵抗の非単結晶珪素膜(2)をソースドレイン領域及びその取り出し電極の所定の外形パターンにマスキングを行い CF<sub>4</sub> ガスを用いてドライエッチングを行い、第 4 図(a) の状態を得た。

次にこのモリブデン膜と非単結晶珪素膜(2)に

- 9 -

- 10 -

対し、被照射面上で直径  $3 \mu\text{m}$  の円の照射断面となるように光学系によって集光された波長  $1.06\text{nm}$  のYAGレーザ光を照射し、これら被膜をソース領域(3)(9)とドレイン領域(4)(10)に切断し、第4図(b)の状態を得た。

この時本実施例においてYAGレーザ光はガラス基板(1)側より照射し、ソースドレインの巾の分だけレーザ光を走査して、ソースドレイン間を切断した。

レーザ光の条件は  $50\text{mW/mm}^2$  でQスイッチによる繰返し周波数  $5\text{kHz}$ 、走査スピードは  $50\text{mm/Sec}$  で1度走査することでソースドレイン間の切断を行うことができた。このソースドレイン間の切断巾は約  $4.2 \mu\text{m}$  であった。

本実施例の場合スタガードTFT構造なので切断するモリブデン膜(2)とN型の非単結晶珪素膜(2)以外は未だ形成されておらず、レーザ光出力が強すぎるため、その他の半導体層に傷をつけるということがなく、工程上の自由度が高いという特徴を持っている。

次にソース領域(3)、ドレイン領域(4)及び切断部(5)上に前述と同様のプラズマCVD法にてI型の非単結晶珪素膜(6)を形成する作製条件はN型の非単結晶珪素膜(2)の時とほぼ同じであるが、使用ガスをSiH<sub>4</sub>のみとし膜厚は  $6000\text{Å}$  とした。

次にこの非単結晶珪素膜(6)の表面上にプラズマCVD法で窒化珪素膜(7)を  $100\text{ Å}$  形成し、ゲート絶縁膜とした。

これらを所定のパターンにバーニング後、公知のスパッタリング法にて、モリブデン膜を蒸着しゲート電極(8)を形成し、第4図(c)に示す薄膜トランジスタを完成させた。

このようにして、ソースドレイン間を従来の如くエッチングして加工しないで  $10 \mu\text{m}$  以下、本実施例の場合、約  $4.2 \mu\text{m}$  のソースドレイン間隔を容易に形成することができ、短いチャネル長のTFTを再現性よく作製することができた。

このTFTの応答速度は従来のTFTに比較して5倍以上の値がえられており短チャネルの効果が十分に得られた。

- 1 1 -

- 1 2 -

上記の実施例においてレーザ光としてはエキシマレーザとYAGレーザを示したが特にこれらレーザに限定されることはない。然し集光したレーザ光が半導体層又は金属層を切断し得る程度にエネルギーを有することが重要である。

また、エキシマレーザ光は単位面積当たりのエネルギー量が高いので巾がせまく、かつ長さの長い長方形照射断面に光学系を用いて、集光することができる。この場合、液晶ディスプレー、イメージセンサー等、大面積の基板上に規則正しくTFTが配列された装置の作製に応用する場合、単時間でこの大面積の基板上に形成される多数のTFTを加工できるという特徴を有し、これら装置の低コスト化に果たす役割は大きい。

前述の実施例においてはいずれも珪素半導体を用いた。しかしながら本発明のTFTの構造において、使用可能な半導体は、珪素のみに限定されることではなく、チャネル長の短いTFTが必要なもので、レーザによって加工可能なものであれば他の材料でも適用可能である。

### 「効果」

本発明の構成により、ソースドレイン間隔を従来技術に比較して容易に、短くすることができ、よって容易にチャネル長の短いTFTを作製することが可能となった。これによって従来ではキャリアの移動度が小さいために実現されてもディスプレー装置、イメージセンサー等のスイッチング素子として使用できなかった非単結晶半導体を用いたTFTを使用することが可能となった。

また、チャネル長を短くするためにレーザ加工技術を用いたので、大面積化されても加工精度上の問題はなく、良好な特性を有するTFTを大面積基板上に多数形成する際に作製方法においても多くの利点を持つ構造である。

### 4. 図面の簡単な説明

第1図(a)～(c)及び第4図(a)～(c)は本発明の一実施例のTFTの製造工程を示す概略図である。

第2図及び第3図は従来のTFTの断面構造を示す。

- 1 3 -

- 1 4 -

1 . . . 基板  
 2 . . . 低抵抗非単結晶半導体層  
 3 . . . ソース領域  
 4 . . . ドレイン領域  
 5 . . . ソース・ドレイン間切断部  
 6 . . . 高抵抗非単結晶半導体層  
 7 . . . ゲート絶縁膜  
 8 . . . ゲート電極  
 9 . . . ソース電極  
 10 . . . ドレイン電極  
 11, 13 . . . レーザ光

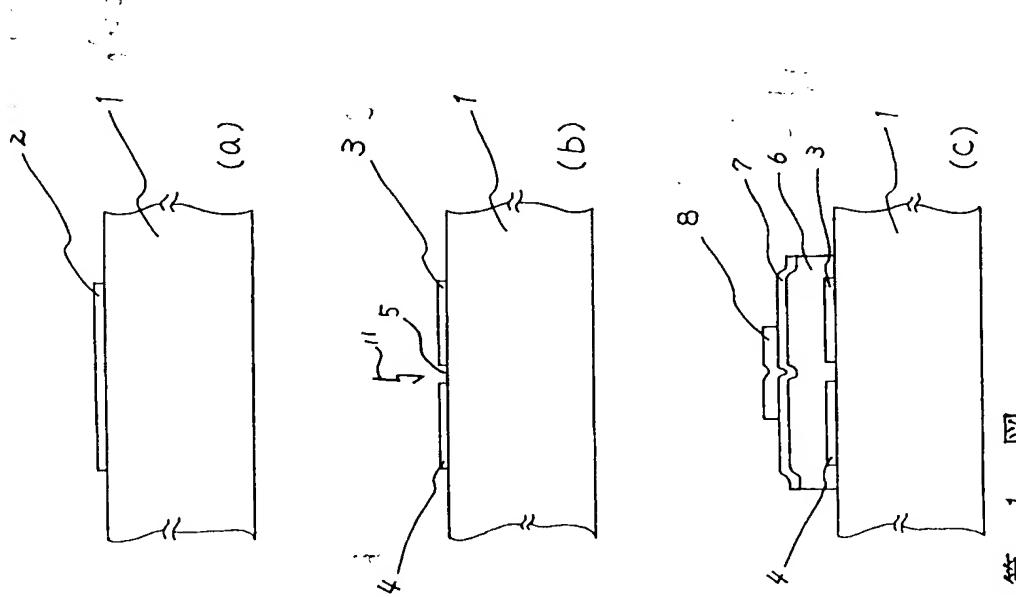
特許出願人

株式会社半導体エネルギー研究所

代表者 山崎舜平

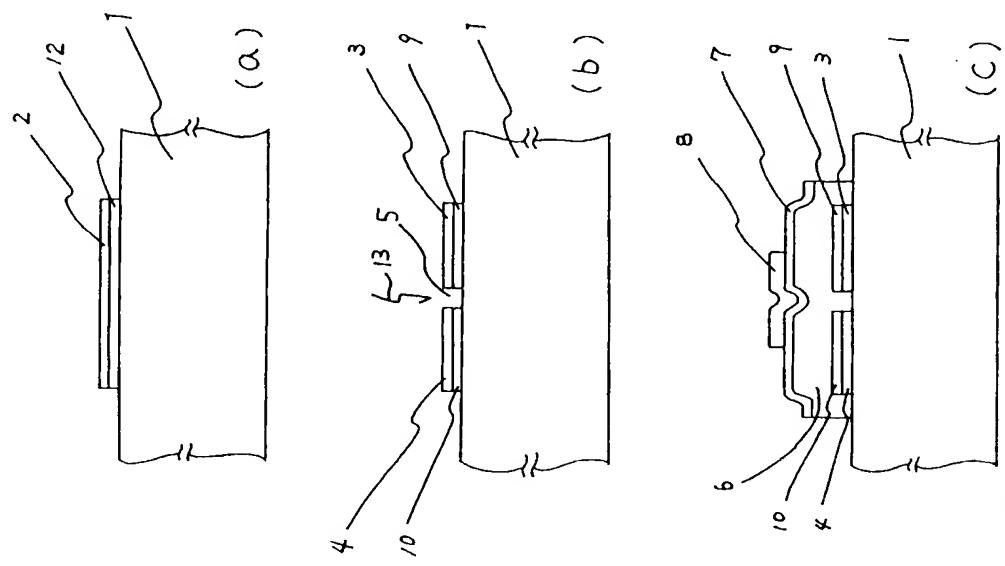


- 15 -

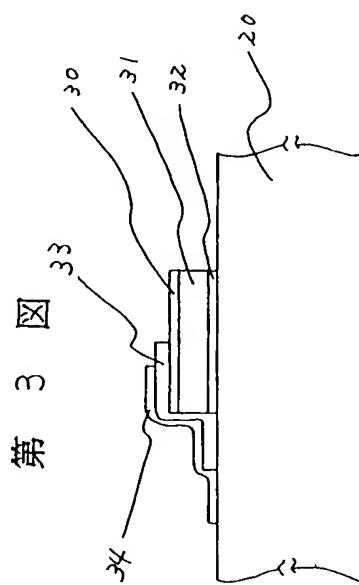
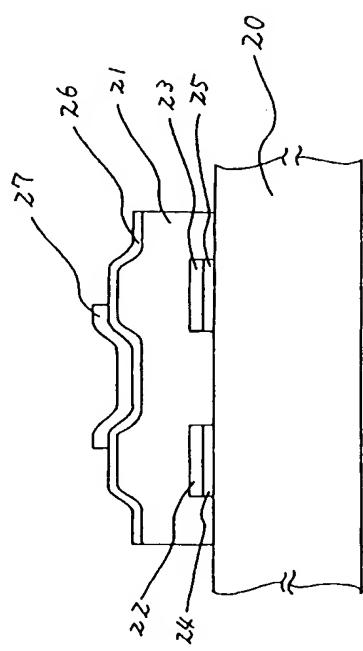


第1図

第 4 図



第 2 図



**HPS Trailer Page  
for  
EAST**

---

**UserID: HLee4\_Job\_1\_of\_1  
Printer: cp4\_3c03\_gbfhptr**

**Summary**

| <b>Document</b>  | <b>Pages</b> | <b>Printed</b> | <b>Missed</b> | <b>Copies</b> |
|------------------|--------------|----------------|---------------|---------------|
| JP402219274A     | 6            | 6              | 0             | 1             |
| <b>Total (1)</b> | <b>6</b>     | <b>6</b>       | <b>0</b>      | <b>-</b>      |